

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-336736

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H02M 3/07
H01L 27/10

(21)Application number : 04-138659

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.05.1992

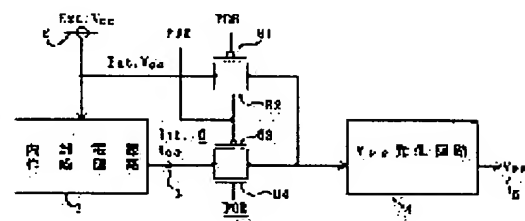
(72)Inventor : NAKAO HIROYUKI
MORI SHIGERU

(54) INTERNAL VOLTAGE GENERATING DEVICE FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To shorten time needed for internal voltage to become stable at the time of power supply start, concerning to an internal voltage generating device used in a semiconductor integrated circuit such as a semiconductor memory.

CONSTITUTION: The title internal voltage generating device for semiconductor integrated circuit is provided with an internal power source producing circuit 1 which lowers an external power voltage Ext. VCC and produces an internal power voltage Int. VCC, a VPP generating circuit 4 which receives this internal power voltage Int. VCC as input and generates an internal voltage VPP, and a power source switching circuit 6 which supplies the external power voltage Ext. VCC directly to the VPP generating circuit 4, instead of the internal power voltage Int. VCC from the internal power source producing circuit 1 at the time of the building up of the external power voltage Ext. VCC.



LEGAL STATUS

[Date of request for examination] 23.06.1997

[Date of sending the examiner's decision of rejection] 16.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3447068

[Date of registration] 04.07.2003

[Number of appeal against examiner's decision of rejection] 2001-20316

[Date of requesting appeal against examiner's] 14.11.2001

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-336736

(43) 公開日 平成5年(1993)12月17日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/07		8726-5H		
H 0 1 L 27/10	4 8 1	8728-4M		

審査請求 未請求 請求項の数4(全12頁)

(21) 出願番号 特願平4-138659

(22) 出願日 平成4年(1992)5月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中尾 浩之

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(72) 発明者 森 茂

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

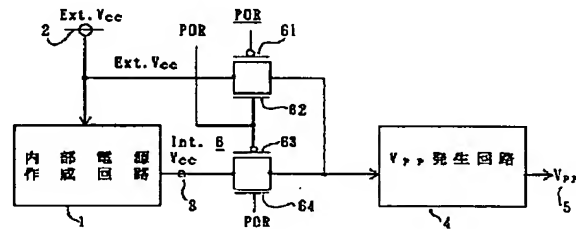
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 半導体集積回路の内部電圧発生装置

(57) 【要約】

【目的】 半導体メモリ等の半導体集積回路で使用される内部電圧発生装置において、電源投入時、内部電圧が安定するまでの時間を短縮する。

【構成】 外部電源電圧 $E_{xt. V_{cc}}$ を降圧して内部電源電圧 $I_{nt. V_{cc}}$ を作成する内部電源作成回路1と、この内部電源電圧 $I_{nt. V_{cc}}$ を入力し内部電圧 V_{pp} を発生する V_{pp} 発生回路4と、外部電源電圧 $E_{xt. V_{cc}}$ の立上がり時内部電源作成回路1からの内部電源電圧 $I_{nt. V_{cc}}$ に替えて外部電源電圧 $E_{xt. V_{cc}}$ を直接 V_{pp} 発生回路4に供給する電源切換回路6とを備える。



1

【特許請求の範囲】

【請求項1】 外部電源を入力しこの外部電源電圧を降圧して内部電源を作成する内部電源作成回路、この内部電源作成回路からの内部電源を入力し所定の内部電圧を発生する内部電圧発生回路、および上記外部電源の立上り時上記内部電源作成回路からの内部電源に替えて上記外部電源を直接上記内部電圧発生回路に接続する電源切換回路を備えた半導体集積回路の内部電圧発生装置。

【請求項2】 外部電源を入力しこの外部電源電圧を降圧して内部電源を作成する内部電源作成回路、この内部電源作成回路からの内部電源を入力し所定の内部電圧を発生する第1の内部電圧発生回路、上記外部電源を入力し所定の内部電圧を発生する第2の内部電圧発生回路、および上記外部電源の立上り時には上記第2の内部電圧発生回路の出力を、その後は上記第1の内部電圧発生回路の出力をそれぞれ内部電圧として取り出すよう、上記両内部電圧発生回路の切換を行う電圧出力切換回路を備えた半導体集積回路の内部電圧発生装置。

【請求項3】 出力された内部電圧を検出し、その出力値に応じて切換回路を操作する内部電圧検出回路を備えたことを特徴とする請求項1または2記載の半導体集積回路の内部電圧発生装置。

【請求項4】 外部電源を入力しこの外部電源電圧を降圧して内部電源を作成する内部電源作成回路、この内部電源作成回路からの内部電源を入力し所定の負の内部電圧を発生する第1の内部電圧発生回路、上記外部電源を入力し所定の負の内部電圧を発生する第2の内部電圧発生回路、および外部電源電圧を検出する外部電圧検出回路を備え、上記外部電圧検出回路の検出出力が所定の設定値以下の時は上記第1の内部電圧発生回路の出力のみを内部電圧として取り出し、上記設定値を越えた時は上記第1の内部電圧発生回路の出力に加えて上記第2の内部電圧発生回路の出力をも内部電圧として取り出すようにした半導体集積回路の内部電圧発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体メモリ等で採用され、外部電源電圧を降圧して内部電源を作成し、この内部電源をもとに必要な内部電圧を発生する半導体集積回路の内部電圧発生装置に関するものである。

【0002】

【従来の技術】 図20は従来の内部電圧発生装置の構成を示すブロック図である。図において、1は外部電源2（電圧 E_{xt} 、 V_{cc} ）を降圧して内部電源3（電圧 I_{nt} 、 V_{cc} ）を作成する内部電源作成回路、4は内部電源3を入力して所定値の内部電圧5（電圧 V_{rr} ）を発生する内部電圧発生回路（ V_{rr} 発生回路）である。図21は図20中の E_{xt} 、 V_{cc} 、 I_{nt} 、 V_{cc} 、 V_{rr} 各々の電圧の動きを示したものである。

【0003】 図22は同じく従来の内部電圧発生装置の

2

構成を示すブロック図で、ここでは、内部電圧発生回路4は内部電源作成回路1からの内部電源3を入力して所定の負の内部電圧5（電圧 V_{ss} ）を発生する。図23は図22中の E_{xt} 、 V_{cc} 、 I_{nt} 、 V_{cc} 、 V_{ss} 各々の電圧の動きを示したものである。

【0004】 図24は、図20中の V_{rr} 発生回路4の V_{rr} 発生部分の回路である。図において、40、43はキャパシタ、41、42はNchTrである。図25は、図24中のCLK、 V_{rr} のタイミング図である。図26は、図22中の V_{ss} 発生回路4の V_{ss} 発生部分の回路である。図において、44、47はキャパシタ、45、46はNchTrである。図27は、図26中のCLK、 V_{ss} のタイミング図である。

【0005】 次に動作について説明する。図24に示した様に電圧 V_{rr} を発生する場合、 V_{rr} 発生回路4は内部電源電圧 I_{nt} 、 V_{cc} を電源としている。また図21から、外部電源電圧 E_{xt} 、 V_{cc} に少しの変動が発生しても内部電源電圧 I_{nt} 、 V_{cc} には影響を与えることは生じない。従って、電圧 V_{rr} は外部電源電圧 E_{xt} 、 V_{cc} に変動が生じて、内部電源電圧 I_{nt} 、 V_{cc} が安定しているかぎり、外部電源電圧 E_{xt} 、 V_{cc} の影響を直接に受けることはない。

【0006】 図24の V_{rr} 発生回路の動作について更に詳細に説明を行う。図24中の信号CLKは図25に示す様にHighが I_{nt} 、 V_{cc} で、Lowが0 [v] のパルス波である。この信号CLKは、キャパシタ40の一方の極に伝わる。信号CLKがLowからHighに変化するとキャパシタ40の他方の極もLowからHighに変化する。この時、NchTr 42はONになり、NchTr 41はOFFになる。従って、キャパシタ40の他方の極のHigh信号（この信号は過渡的に $2I_{nt}$ 、 $V_{cc}-V_{rr}$ まで上昇する）は、NchTr 42を通して電圧 V_{rr} に伝播する。次に信号CLKがHighからLowに変化すると信号CLKはキャパシタ40の一方の極に伝わる。これによりキャパシタ40の他方の極もHighからLowに変化する。この時、NchTr 42はOFFになり、NchTr 41はONになる。従って、キャパシタ40の他方の極はNchTr 41がONであるために（ I_{nt} 、 $V_{cc}-V_{rr}$ ）の電圧が供給される。以上のことを繰り返すと、信号CLKがLowからHighに変化した後に、電圧 V_{rr} はキャパシタ40の電荷をキャパシタ43に移し変えた電荷分だけ電圧が上昇し、信号CLKがHighからLowに変化した後は、内部電源電圧 I_{nt} 、 V_{cc} からキャパシタ40に電荷が蓄えられる。

【0007】 図22において、図20と同様にして外部電源電圧 E_{xt} 、 V_{cc} の影響を受けることなく電圧 V_{ss} を発生することができる。図26中の信号CLKは図27に示す様にHighが I_{nt} 、 V_{cc} で、Lowが0 [v] のパルス波である。この信号CLKはキャパシタ

3

44の一方の極に伝わる。信号CLKがHighからLowに変化するとキャパシタ44の他方の極もHighからLowに変化する。この時、NchTr46はONになり、NchTr45はOFFになる。従って、キャパシタ44の他方の極のLow信号(-Int. Vcc+V_{rs})は、NchTr46を通過して電圧V_{rs}に伝播する。次に信号CLKがLowからHighに変化すると信号CLKはキャパシタ44の一方の極に伝わる。これによりキャパシタ44の他方の極もLowからHighに変化する。このときNchTr46はOFFになり、NchTr45はONになる。キャパシタ44の他方の極は、NchTr45がONであるためにV_{rs}の電圧になる。以上のことを繰り返すことにより、信号CLKがHighからLowに変化した後に、電圧V_{rs}はキャパシタ44の負電荷をキャパシタ47に移し変えた電荷分だけ電圧が下降し、信号CLKがLowからHighに変化した後は、キャパシタ44に蓄えた電荷をグランドに放つ。

【0008】従って、電圧V_{rs}は内部電源電圧Int. Vccを昇圧した正の電圧になり、電圧V_{rs}は、グランドを降圧した負の電圧になる。また図25において、信号CLKがLowからHighに立上がる時、電圧V_{rs}のレベルが上昇する割合は、図24中のキャパシタ40とキャパシタ43との容量の比によって決まる。同様に図27において、信号CLKがHighからLowに立下がる時、電圧V_{rs}のレベルが下降する割合は、図26中のキャパシタ44とキャパシタ47との容量の比によって決まる。

【0009】

【発明が解決しようとする課題】従来の半導体集積回路の内部電圧発生装置は以上のように構成されているので、図21、図23から判るように、電源投入時点から内部電圧V_{rs}、V_{rs}が所定のレベルに到達し安定するまでにかなりの時間がかかり、立上り特性が劣るという問題点があった。また、外部電源電圧Ext. Vccがかなり変動した場合は内部電圧の変動も避けられず、この影響を無視し得ないという問題点もあった。

【0010】この発明は上記のような問題点を解消するためになされたもので、電源投入後の内部電圧の立上り時間を短縮し、また、外部電源電圧の変動による発生内部電圧への影響を抑制することを目的とする。

【0011】

【課題を解決するための手段】この発明の請求項1に係る半導体集積回路の内部電圧発生装置は、外部電源の立上り時内部電源作成回路からの内部電源に替えて外部電源を直接内部電圧発生回路に接続する電源切換回路を備えたものである。

【0012】また、請求項2に係るものは、内部電源作成回路からの内部電源を入力し所定の内部電圧を発生する第1の内部電圧発生回路、外部電源を入力し所定の内

4

部電圧を発生する第2の内部電圧発生回路、および上記外部電源の立上り時には上記第2の内部電圧発生回路の出力を、その後は上記第1の内部電圧発生回路の出力をそれぞれ内部電圧として取り出すよう、上記両内部電圧発生回路の切換を行う電圧出力切換回路を備えたものである。

【0013】また、請求項3に係るものは、上記において出力された内部電圧を検出し、その出力値に応じて切換回路を操作する内部電圧検出回路を備えたものである。

【0014】更に、請求項4に係るものは、内部電源作成回路からの内部電源を入力し所定の負の内部電圧を発生する第1の内部電圧発生回路、外部電源を入力し所定の負の内部電圧を発生する第2の内部電圧発生回路、および外部電源電圧を検出する外部電圧検出回路を備え、上記外部電圧検出回路の検出力が所定の設定値以下の時は上記第1の内部電圧発生回路の出力のみを内部電圧として取り出し、上記設定値を越えた時は上記第1の内部電圧発生回路の出力に加えて上記第2の内部電圧発生回路の出力をも内部電圧として取り出すようにしたものである。

【0015】

【作用】この発明においては、外部電源立上がり時の内部電源電圧が低い間は、外部電源を直接内部電圧発生回路に供給して内部電圧を出力するようにするか、または外部電源を入力して動作する内部電圧発生回路から内部電圧を出力するようにする。また、外部電源電圧が設定値を越えて上昇したとき、これに伴い内部電圧が上昇するような場合、それぞれ外部電源および内部電源を入力して動作する両内部電圧発生回路の出力を加えることにより内部電圧の上昇を抑制する。

【0016】

【実施例】実施例1. 図1はこの発明の実施例1による内部電圧発生装置の構成を示すブロック図である。図において、従来の図20と同一部分には同一符号を付して説明を省略する。6は外部電源2および内部電源作成回路1とV_{rs}発生回路4との間に挿入された電源切換回路で、Tr61~64から構成されている。このうち、61、63はPchTr、62、64はNchTrである。外部電源電圧Ext. Vccは、内部電源作成回路1とPchTr61・NchTr62を介してV_{rs}発生回路4に接続する。内部電源作成回路1の出力である内部電源電圧Int. Vccは、PchTr63・NchTr64を介してV_{rs}発生回路4に接続する。PchTr61とNchTr64とのゲートはPOR信号に接続する。NchTr62とPchTr63とのゲートはPOR信号に接続する。図2は、外部電源電圧Ext. Vcc、POR、POR信号のタイミング図である。図3は、V_{rs}発生回路4の電源が外部電源電圧Ext. Vcc及び内部電源電圧Int. Vccのそれぞれの場合にお

5

る電圧 V_{rr} の昇圧の変化の違いを示すタイミング図である。

【0017】図1において、POR、POR信号で操作される電源切換回路6により V_{rr} 発生回路4に供給する電源を切り換える。図2に示した様に、外部電源電圧 E_{xt} 、 V_{cc} 、POR、POR信号を見ると、外部電源電圧 E_{xt} 、 V_{cc} が立上がるにつれてPOR信号も上昇する。電圧 E_{xt} 、 V_{cc} の立上がり完了すると、POR信号は立下がり、替わってPOR信号が立上がる。

【0018】このPOR信号とPOR信号とを図1に示すPchTr61、63及びNchTr62、64に接続することにより、電圧 E_{xt} 、 V_{cc} が立上がる時、PORはHigh、PORはLowであるので、PchTr61とNchTr62とはON、PchTr63とNchTr64とはOFFになり、電圧 E_{xt} 、 V_{cc} が直接 V_{rr} 発生回路4に供給される。その後、電圧 E_{xt} 、 V_{cc} が完全に立上がってしまうと、PORはLow、PORはHighに変化する。これによりPchTr61とNchTr62とはOFF、PchTr63とNchTr64とはONになり、内部電源作成回路1の出力である内部電源電圧 I_{nt} 、 V_{cc} が V_{rr} 発生回路4に供給される。

【0019】従って、電圧 E_{xt} 、 V_{cc} が立上がる時には、 V_{rr} 発生回路4には電源として電圧 E_{xt} 、 V_{cc} が供給される。その後、電圧 E_{xt} 、 V_{cc} の立上がり完了すると、 V_{rr} 発生回路4の電源として電圧 I_{nt} 、 V_{cc} に切り変わる。図3に示す様に、外部電源電圧 E_{xt} 、 V_{cc} を用いた場合と内部電源電圧 I_{nt} 、 V_{cc} を用いた場合とでは、電圧 V_{rr} の昇圧率が異なるため、外部電源電圧 E_{xt} 、 V_{cc} が立上がる時において、電圧 V_{rr} の昇圧効率のよい外部電源電圧 E_{xt} 、 V_{cc} を用いて、電圧 V_{rr} を昇圧する。電圧 E_{xt} 、 V_{cc} が完全に立ち上がった後は、通常の内部電源電圧 I_{nt} 、 V_{cc} を用いて、電圧 V_{rr} を昇圧する。

【0020】実施例2。図4はこの発明の実施例2による内部電圧発生装置の構成を示すブロック図である。この実施例では、内部電源電圧 I_{nt} 、 V_{cc} を入力して電圧 V_{rr} を発生する図1と同様の V_{rr} 発生回路4Aに加えて、外部電源電圧 E_{xt} 、 V_{cc} を入力して電圧 V_{rr} を発生する V_{rr} 発生回路4Bを備えている。そして、7は V_{rr} 発生回路4Aと4Bとの電圧出力を切換える電圧出力切換回路で、図1の電源切換回路6と同様、PchTr71、73とNchTr72、74とから構成されている。

【0021】外部電源電圧 E_{xt} 、 V_{cc} に対するPOR、POR信号の形態は実施例1における図2と同一である。従って、外部電源電圧 E_{xt} 、 V_{cc} の立ち上がり時にはPchTr71とNchTr72とがONとなって V_{rr} 発生回路4Bの出力が内部電圧 V_{rr} として取り出される。また、電圧 E_{xt} 、 V_{cc} が一定となった後は、

6

PchTr73とNchTr74とがONとなって V_{rr} 発生回路4Aの出力が内部電圧 V_{rr} として取り出される。この結果、実施例1と同様、電圧 V_{rr} の立上がり時間が短縮される。

【0022】実施例3。図5は、この発明の他の実施例である。外部電源電圧 E_{xt} 、 V_{cc} をPchTr8を介して直接に電圧 V_{rr} に接続する。図5において、電圧 E_{xt} 、 V_{cc} が立上がる時、電圧 E_{xt} 、 V_{cc} を直接電圧 V_{rr} に供給し、電圧 E_{xt} 、 V_{cc} が立上がった後は、通常の内部電源電圧 I_{nt} 、 V_{cc} により V_{rr} 発生回路4を動作させる。図5中の電圧 E_{xt} 、 V_{cc} 、POR信号は、図2に示す通りである。この場合にも、出力される電圧 V_{rr} の立上がり時間が従来より短縮される。

【0023】実施例4。図6は、内部電圧として電圧 V_{ss} を発生する場合の実施例を示すもので、従来の図22に対応するものである。図6において、4は V_{ss} 発生回路、6はTr61～64からなる電源切換回路である。図7は、 V_{ss} 発生回路4の電源が、外部電源電圧 E_{xt} 、 V_{cc} 及び内部電源電圧 I_{nt} 、 V_{cc} のそれぞれの場合における電圧 V_{ss} の降圧の変化の違いを示すタイミング図である。図6における各信号は、図1と同様の動作を示すが、 V_{ss} 発生回路4の出力信号である電圧 V_{ss} のみが異なる。図1における電圧 V_{rr} は、昇圧しているが、図7に示すように電圧 V_{ss} は降圧する。

【0024】図6に示す様にPOR、POR信号により、 V_{ss} 発生回路4の電源を外部電源電圧 E_{xt} 、 V_{cc} と内部電源電圧 I_{nt} 、 V_{cc} とに切り換えることにより、電圧 E_{xt} 、 V_{cc} が立上がる期間は、電圧 E_{xt} 、 V_{cc} を用い、電圧 E_{xt} 、 V_{cc} が立上がった後は、内部電源電圧 I_{nt} 、 V_{cc} を用いる。これにより、電源投入時に効率よく電圧 V_{ss} を降圧することができる。

【0025】実施例5。図8は更に他の実施例を示す。但し、この実施例は出力すべき内部電圧が電圧 V_{ss} である点が異なるのみで、他は前掲の図4の実施例と同一であるので説明は省略するが、電源投入時、電圧 V_{ss} が安定化するまでの時間が短縮されるという同様の効果を奏する。

【0026】実施例6。図9はこの発明の更に他の実施例による内部電圧発生装置の構成を示すブロック図である。図において、図1と同一部分には同一符号を付して説明を省略する。9は内部電圧検出回路としての V_{rr} レベルディテクターで、電圧 V_{rr} のレベルを検出し、 ϕ_1 及び ϕ_2 信号を出力する。この ϕ_1 信号はNchTr62とPchTr63とのゲートに接続され、 ϕ_2 信号はPchTr61とNchTr64とに接続してある。図10は、電圧 V_{rr} 、 ϕ_1 、 ϕ_2 信号のタイミング図である。

【0027】図9中の V_{rr} レベルディテクター9は、図10に示す様に、電圧 V_{rr} が設定電圧レベルよりも低い電圧の時、 ϕ_1 信号はHighレベルを、 ϕ_2 信号はLowレベルを出力し、電圧 V_{rr} が設定電圧レベルよりも高

7

い電圧の時、 ϕ_1 信号はLowレベルを、 ϕ_2 信号はHighレベルを出力する。従って、電源投入後、電圧 V_{rr} が V_{rr} レベルディテクター9の設定レベルに達するまでの間、 ϕ_1 信号はHighを、 ϕ_2 信号はLowを出力し続ける。この時、PchTr61とNchTr62とはONに、PchTr63とNchTr64とはOFFになり、外部電源電圧Ext. Vccが直接 V_{rr} 発生回路4に供給される。電圧 V_{rr} が V_{rr} レベルディテクター9の設定レベルに達すると、 ϕ_1 信号はLowに、 ϕ_2 信号はHighになる。これにより、PchTr61とNchTr62とはOFFに、PchTr63とNchTr64とはONになる。従って、 V_{rr} 発生回路4の電源には、内部電源電圧Int. Vccが供給される。

【0028】この実施例では、出力される電圧 V_{rr} を具体的に検出し、その検出力が所定の設定電圧に達する迄は外部電源電圧Ext. Vccを V_{rr} 発生回路4に供給するよう電源切換回路6に信号を送出するようにしたので、電圧 V_{rr} の立上げ促進が確実になされる。

【0029】実施例7. 図11は更に他の実施例で、図4の実施例に V_{rr} レベルディテクター9を追加したものである。電圧Ext. Vcc、 ϕ_1 、 ϕ_2 信号は図10に示す通りである。この場合も、実施例6と同様、電圧 V_{rr} の立上げ時間の短縮が確実になされる。

【0030】実施例8. 図12は、更に他の実施例で、 V_{rr} レベルディテクター9の出力信号 ϕ_2 をPchTr8のゲートに接続する。外部電源電圧Ext. VccをPchTr8を介して、電圧 V_{rr} に接続する。電源投入後、電圧 V_{rr} が、 V_{rr} レベルディテクター9の設定電圧レベルよりも低い期間中は、図10に示す様に ϕ_2 信号はLowであり、PchTr8はONする。これにより、電圧 V_{rr} に対して外部電源電圧Ext. Vccが直接に供給される。電圧 V_{rr} の電圧レベルが設定電圧レベルに達すると ϕ_2 信号はHighになり、PchTr8はOFFする。その後、 V_{rr} 発生回路4は、内部電源電圧Int. Vccを電源として電圧 V_{rr} を供給し続ける。

【0031】実施例9. 図13は、電圧 V_{ss} を発生させる場合の一実施例である。図において、9は内部電圧検出回路としての V_{ss} レベルディテクターで、電圧 V_{ss} を検出し、 ϕ_3 及び ϕ_4 信号を出力する。図14は、電圧 V_{ss} 、 ϕ_3 、 ϕ_4 信号のタイミング図である。

【0032】図13中の V_{ss} レベルディテクター9は、図14に示す様に電圧 V_{ss} が設定電圧レベルよりも高い電圧になると ϕ_3 はHigh、 ϕ_4 はLowになる。これによりPchTr61及びNchTr62はONになり、PchTr63及びNchTr64はOFFになり、 V_{ss} 発生回路4の電源に対して外部電源電圧Ext. Vccを供給する。電圧 V_{ss} が設定電圧レベルよりも低くなると ϕ_3 信号はLowに、 ϕ_4 信号はHighになり、PchTr61及びNchTr62はOFFになり、PchTr63及びNchTr64はONになり、

8

V_{ss} 発生回路4の電源に対して内部電源電圧Int. Vccを供給する。

【0033】実施例10. 図15は先の図11に対応する電圧 V_{ss} 発生用の実施例で、内部電源電圧Int. Vccを電源とする V_{ss} 発生回路4Aと外部電源電圧Ext. Vccを電源とする V_{ss} 発生回路4Bとを、電圧 V_{ss} を検出して動作する V_{ss} レベルディテクター9からの ϕ_3 、 ϕ_4 信号によって切り換えるものである。

【0034】実施例11. 図16は、この発明の実施例11による内部電圧発生装置の構成を示すブロック図である。図において、 V_{ss} レベルディテクター9は、電圧 V_{ss} を入力し、 ϕ_3 信号を出力する。 ϕ_3 信号は、外部電源電圧Ext. Vccを電源とする V_{ss} 発生回路4Bに接続してある。この V_{ss} 発生回路4Bの出力を電圧 V_{ss} に接続する。図17は、図16中の電圧 V_{ss} 、 ϕ_3 信号のタイミング図である。

【0035】電圧 V_{ss} が設定電圧のレベルよりも高くなると ϕ_3 信号はHighに、電圧 V_{ss} が設定電圧レベルよりも低くなると ϕ_3 信号はLowになる。これにより、 V_{ss} 発生回路4Bの出力をON、OFFさせる。従って、電圧 V_{ss} が V_{ss} レベルディテクター9の設定電圧よりも高い時は、 V_{ss} 発生回路4Bと V_{ss} 発生回路4Aとの両方から同時に電圧 V_{ss} に降圧する。この結果、電圧 V_{ss} は急速に降下する。電圧 V_{ss} が V_{ss} レベルディテクター9の設定電圧のレベルよりも低くなると V_{ss} 発生回路4Bを止め、 V_{ss} 発生回路4Aのみを動作させて電圧 V_{ss} を降圧する。

【0036】実施例12. 図18は、この発明の更に他の実施例を示す。図において、10は、外部電圧検出回路としてのExt. Vccレベルディテクターである。図19は、電圧Ext. Vcc、 ϕ_2 信号のタイミング図である。図18において、Ext. Vccレベルディテクター10の入力信号を外部電源電圧Ext. Vccに接続し、Ext. Vccレベルディテクター10の出力 ϕ_2 信号を V_{ss} 発生回路4Bに接続する。

【0037】外部電源電圧Ext. VccがExt. Vccレベルディテクター10の設定電圧のレベルよりも高くなると信号 ϕ_2 がHighになり、 V_{ss} 発生回路4Aに加えて V_{ss} 発生回路4Bが動作し、両回路4A、4Bが協働して電圧 V_{ss} を降圧する。外部電源電圧Ext. VccがExt. Vccレベルディテクター10の設定電圧のレベルよりも低い時は、信号 ϕ_2 はLowとなり V_{ss} 発生回路4Bからの供給を止め、 V_{ss} 発生回路4Aからのみ供給する。これにより、外部電源電圧Ext. Vccが高くなることによってグラウンドに流れ出す基板電流の増加に伴い電圧 V_{ss} の上昇が生じる現象に対して、電圧 V_{ss} の上昇を防ぐことができる。

【0038】

【発明の効果】以上のように、この発明の内部電圧発生装置は、所定の電源切換回路または電圧出力切換回路を

備えたので、電源投入後の内部電圧の立上がり時間を短縮することができる。また、所定の内部電圧検出回路を備えた場合は、その動作が更に確実になり、迅速で安定した内部電圧の立上がり特性が得られる。また、所定の外部電圧検出回路を備えた場合は、外部電源電圧の上昇に伴って発生する内部電圧の上昇を抑制することができる。

【図面の簡単な説明】

【図1】この発明の実施例1による半導体集積回路の内部電圧発生装置の構成を示すブロック図である。

【図2】図1中の外部電源電圧 $E_{xt} V_{cc}$ 、 POR 、 POR 信号を示すタイミング図である。

【図3】電圧 $E_{xt} V_{cc}$ と $I_{nt} V_{cc}$ とを電源とした場合の電圧 V_{rr} の変化を示すタイミング図である。

【図4】この発明の実施例2による内部電圧発生装置を示すブロック図である。

【図5】この発明の実施例3による内部電圧発生装置を示すブロック図である。

【図6】この発明の実施例4による内部電圧発生装置を示すブロック図である。

【図7】電圧 $E_{xt} V_{cc}$ と $I_{nt} V_{cc}$ とを電源とした場合の電圧 V_{ss} の変化を示すタイミング図である。

【図8】この発明の実施例5による内部電圧発生装置を示すブロック図である。

【図9】この発明の実施例6による内部電圧発生装置を示すブロック図である。

【図10】図9中の電圧 V_{rr} 、 ϕ_r 、 ϕ_r 信号を示すタイミング図である。

【図11】この発明の実施例7による内部電圧発生装置を示すブロック図である。

【図12】この発明の実施例8による内部電圧発生装置を示すブロック図である。

【図13】この発明の実施例9による内部電圧発生装置を示すブロック図である。

【図14】図13中の電圧 V_{ss} 、 ϕ_s 、 ϕ_s 信号を示すタイミング図である。

【図15】この発明の実施例10による内部電圧発生装置を示すブロック図である。

【図16】この発明の実施例11による内部電圧発生装

置を示すブロック図である。

【図17】図16中の電圧 V_{ss} 、 ϕ_s 信号を示すタイミング図である。

【図18】この発明の実施例12による内部電圧発生装置を示すブロック図である。

【図19】図18中の電圧 $E_{xt} V_{cc}$ 、 ϕ_s 信号を示すタイミング図である。

【図20】従来の内部電圧発生装置を示すブロック図である。

10 【図21】図20中の電圧 $E_{xt} V_{cc}$ 、 $I_{nt} V_{cc}$ 、 V_{rr} の変化を示すタイミング図である。

【図22】図20とは異なる従来の内部電圧発生装置を示すブロック図である。

【図23】図22中の電圧 $E_{xt} V_{cc}$ 、 $I_{nt} V_{cc}$ 、 V_{ss} の変化を示すタイミング図である。

【図24】図20中の V_{rr} 発生回路の内部構成を示す回路図である。

【図25】図24中の信号 CLK 、電圧 V_{rr} を示すタイミング図である。

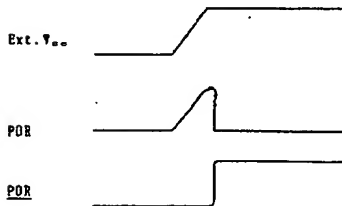
20 【図26】図22中の V_{ss} 発生回路の内部構成を示す回路図である。

【図27】図26中の信号 CLK 、電圧 V_{ss} を示すタイミング図である。

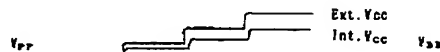
【符号の説明】

- 1 内部電源作成回路
- 2 外部電源
- 3 内部電源
- 4、4A、4B 内部電圧発生回路としての V_{rr} 発生回路、 V_{ss} 発生回路
- 30 5 内部電圧
- 6 電源切替回路
- 7 電圧出力切替回路
- 9 内部電圧検出回路としての V_{rr} レベルディテクター、 V_{ss} レベルディテクター
- 10 外部電圧検出回路としての $E_{xt} V_{cc}$ レベルディテクター
- $E_{xt} V_{cc}$ 外部電源電圧
- $I_{nt} V_{cc}$ 内部電源電圧

【図2】



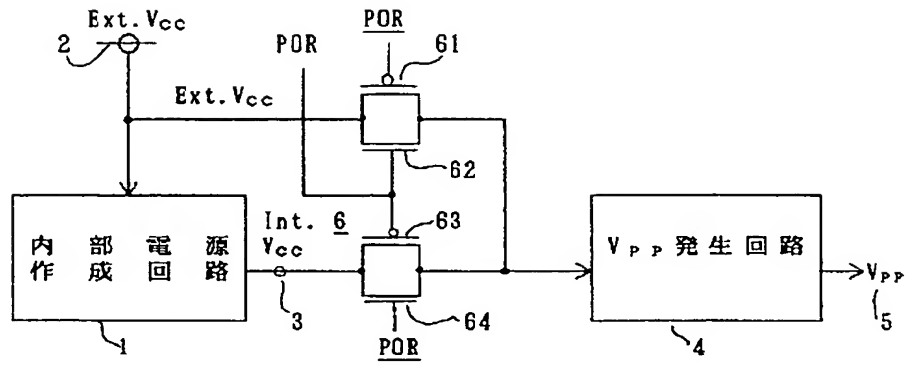
【図3】



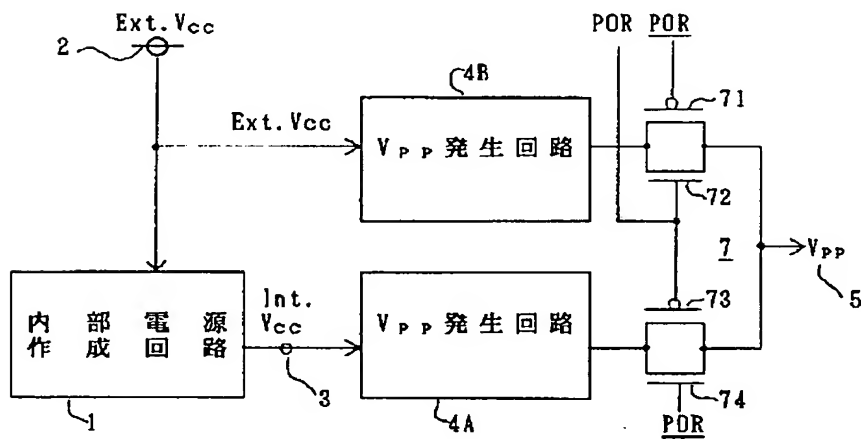
【図7】



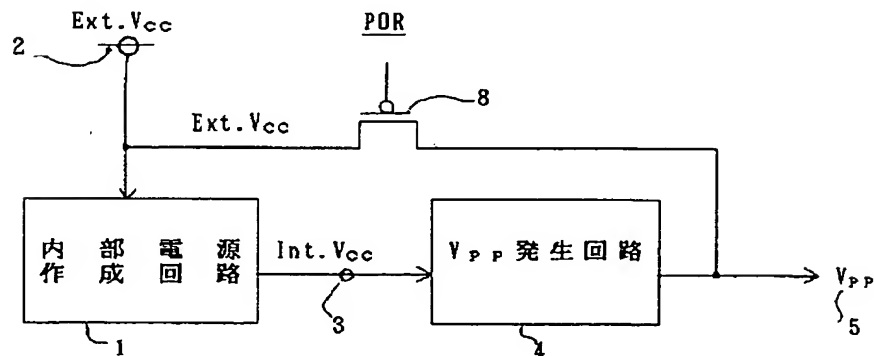
【図1】



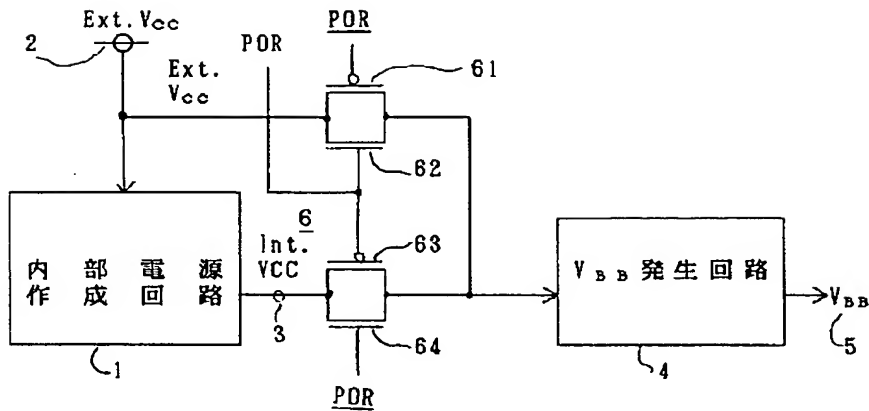
【図4】



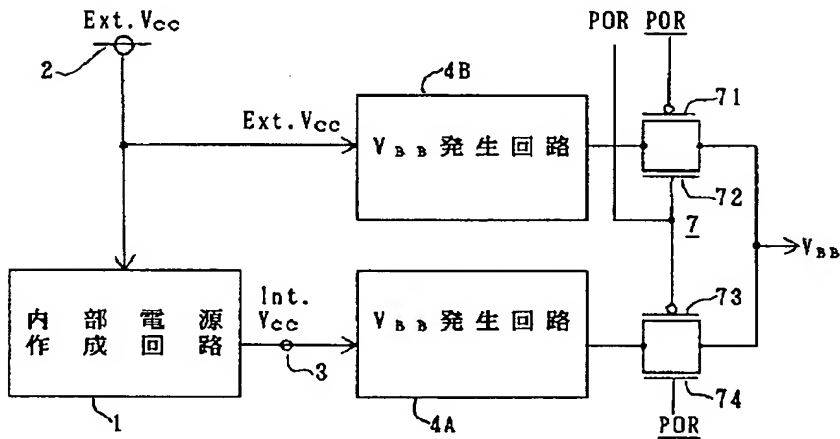
【図5】



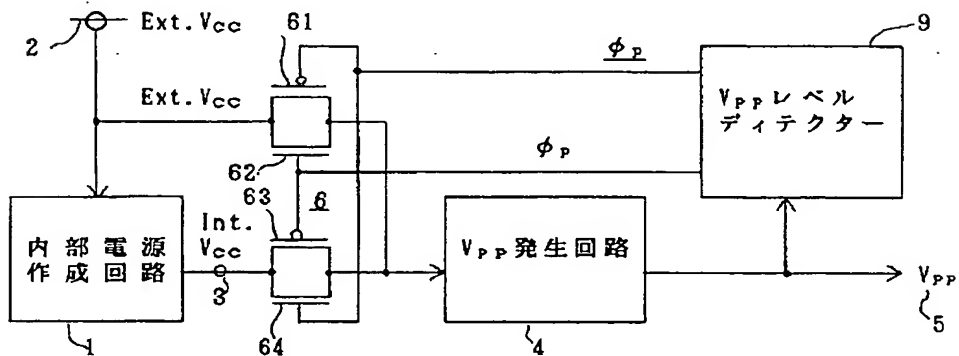
【図6】



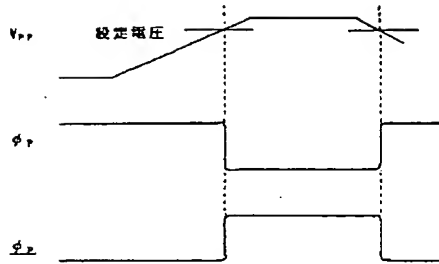
【図8】



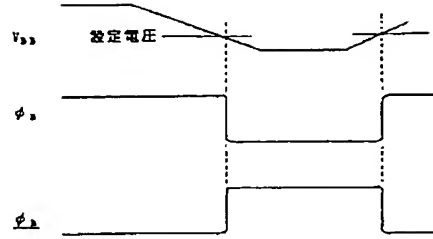
【図9】



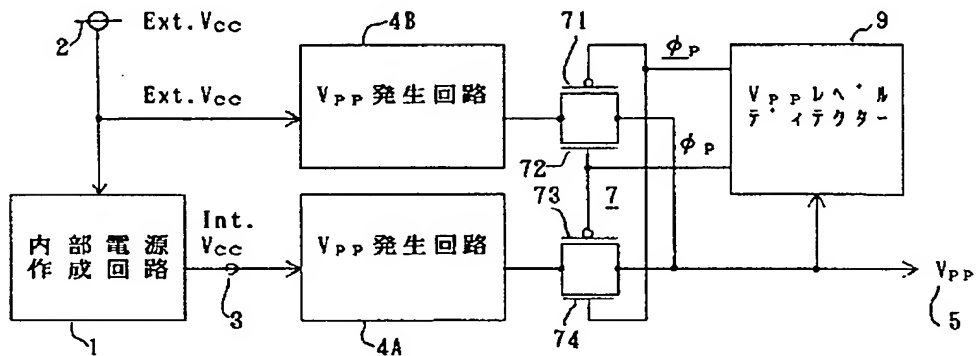
【図10】



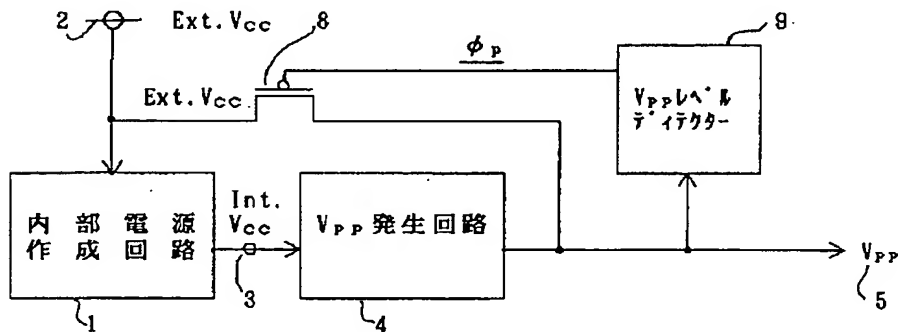
【図14】



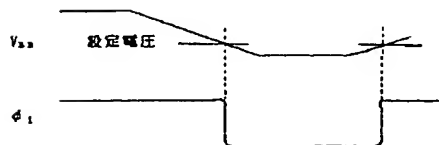
【図11】



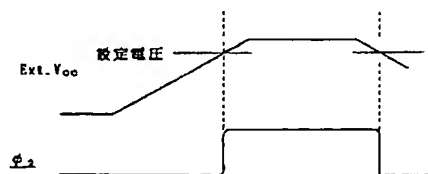
【図12】



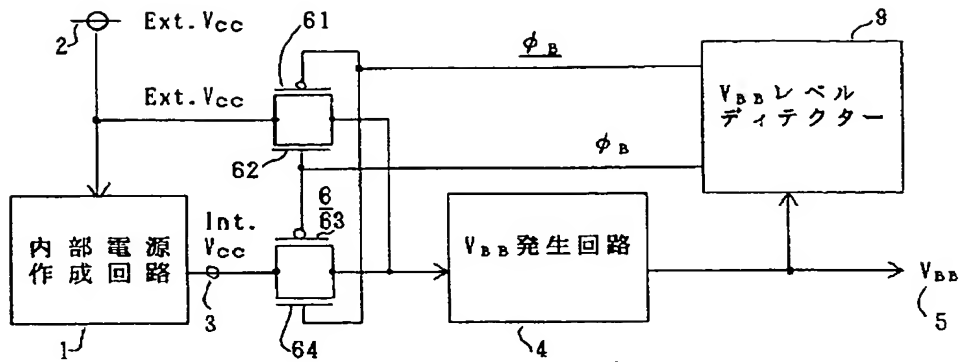
【図17】



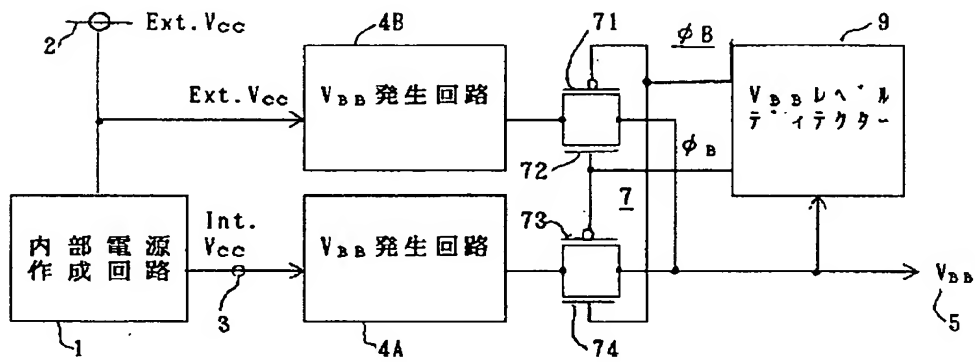
【図19】



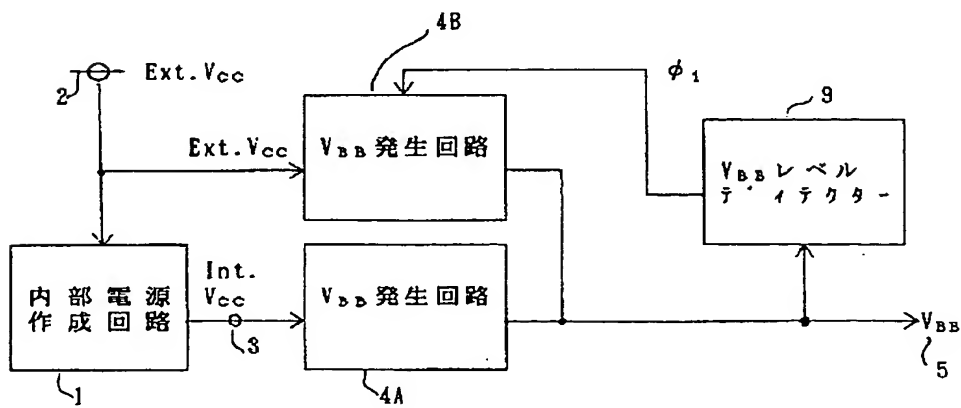
【図13】



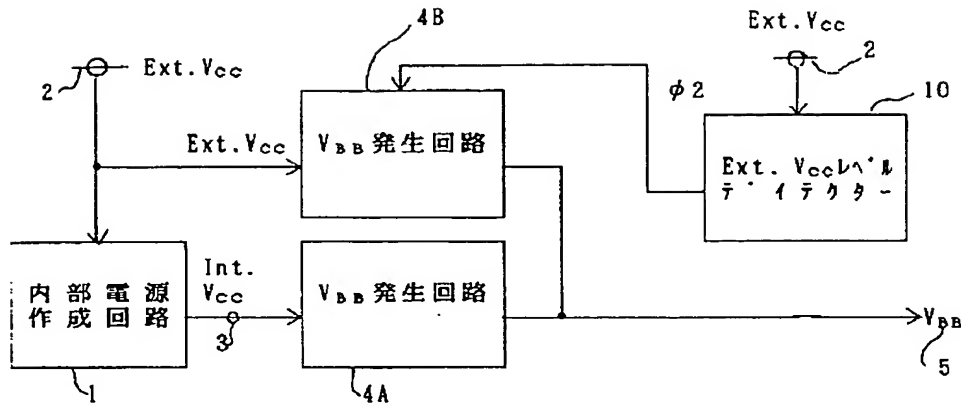
【図15】



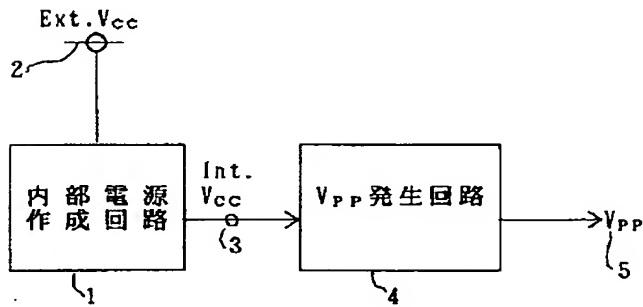
【図16】



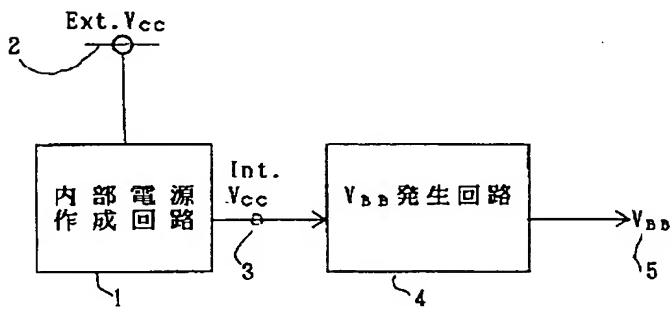
【図18】



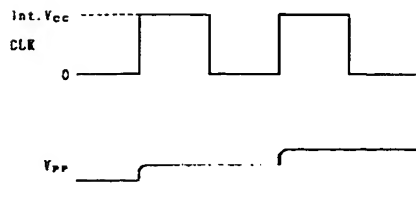
【図20】



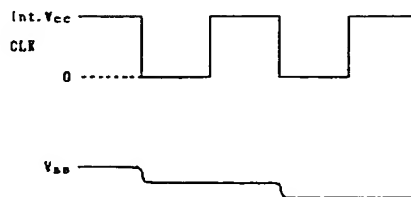
【図22】



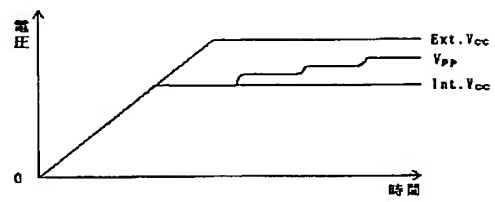
【図25】



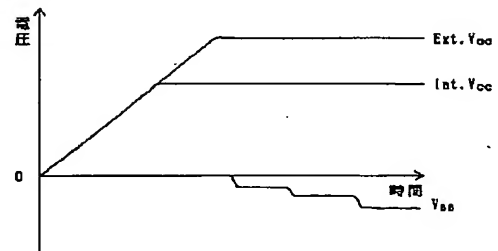
【図27】



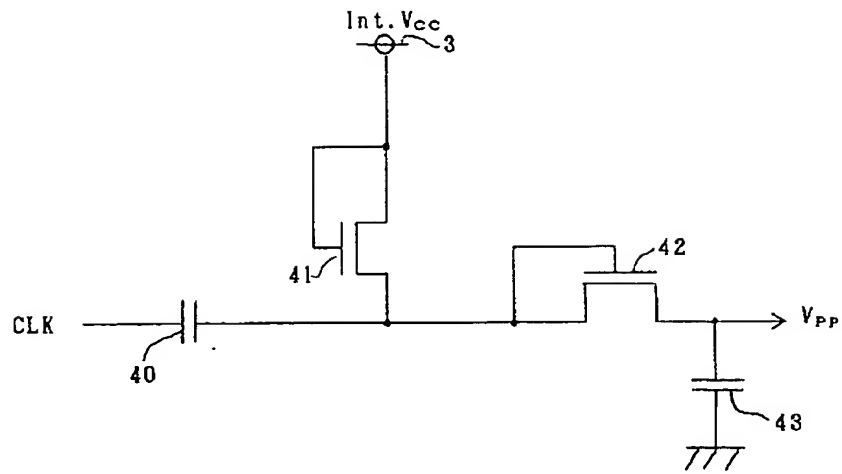
【図21】



【図23】



【図24】



【図26】

